

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-148677

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

21/265

// H 0 1 L 21/76

H 0 1 L 29/ 78

3 0 1 X

21/ 265

Q

審査請求 未請求 請求項の数6 O L (全 17 頁) 最終頁に続く

(21) 出願番号

特願平6-285635

(22) 出願日

平成6年(1994)11月18日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 結城 知弘

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74) 代理人 弁理士 高橋 敬四郎 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

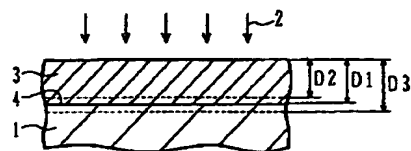
(57) 【要約】

【目的】 本発明は、良好な電気特性を備えた接合を制御性良く形成することを目的とする。

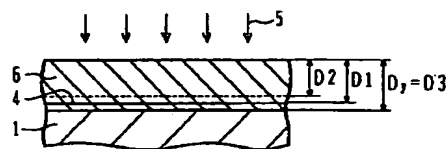
【構成】 接合形成に際して、まず導電性に寄与しないイオンを結晶領域に対しイオン注入し、基板の表面から一定の深さD1まで非晶質化する。次に該結晶領域の導電型とは反対の導電性を付与する不純物イオンを、単独に該結晶領域にイオン注入した場合に前記D1より浅い深さD2の非晶質層を形成する条件下で、D1より深い深さD3の実効的不純物分布を形成するようにイオン注入する。この後、アニールを行い、非晶質層を再結晶化するとともに、不純物を活性化する。

本発明の接合部形成プロセス

(A)



(B)



(C)



1

【特許請求の範囲】

【請求項 1】 導電性に寄与しないイオン種を基板内の第 1 導電型の結晶領域に対しイオン注入し、該結晶領域の表面から深さ D 1 までの非晶質層を形成する第 1 の工程と、

前記第 1 導電型と逆の第 2 導電型の導電性を付与する原子量もしくは分子量が 16 以上の不純物を、D 1 より深い実効的不純物分布深さの不純物分布領域を形成するように前記非晶質層を通してイオン注入する第 2 の工程と、

該基板を加熱して前記非晶質層を再結晶化し前記不純物を活性化して、第 2 導電型領域を形成する第 3 の工程と、

を有する半導体装置の製造方法であって、

前記深さ D 1 が、前記導電性を付与する不純物を前記第 2 の工程と同一条件で前記結晶領域にイオン注入した場合に形成される非晶質層深さ D 2 よりも深く、前記導電性を付与する不純物を前記第 2 の工程と同一条件で表面に非晶質層が形成された基板にイオン注入した場合に形成される実効的不純物分布深さ D 3 よりも浅いことを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 3 の工程の加熱温度が、600℃以上である請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 3 の工程の加熱温度が、600℃以上 850℃以下の温度範囲内である請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 3 の工程のあとで前記第 3 の加熱温度以上の温度で基板を加熱する第 4 の工程を有する請求項 1 から 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 前記第 3 の工程と第 4 の工程との間に前記結晶領域全面に層間絶縁膜を形成する工程を有する請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 前記第 2 の工程と第 3 の工程との間に前記結晶領域全面に層間絶縁膜を形成する工程を有する請求項 1 から 4 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、イオン注入法を用いて基板に所望の特性の半導体製造装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の高集積化に伴い、横方向の微細化に合わせて深さ方向の微細化の要請も高まっている。p チャンネルトランジスタ、あるいは n チャンネルトランジスタのソース／ドレイン層についてもより浅い接合の形成技術の開発が必要である。

【0003】トランジスタのソース／ドレイン領域は、一般にイオン注入法により形成される。イオン注入法

2

は、所望の導電型の不純物を基板にイオン注入する工程と、その後、熱アニールを行い、イオン注入で非晶質化した層を再結晶化させ、注入した不純物を電氣的に活性化させる工程を含む。

【0004】最近、浅い接合の形成の為、チャネリングを抑制する方法が検討されている。チャネリングとは、イオン注入の際、注入イオンが基板原子と大きな衝突をすることなく基板結晶格子の隙間を通り基板に深く進入することである。チャネリングが起これると浅い接合を形成することは難しい。

【0005】チャネリングを抑制する為には、例えば、イオン注入を 2 段階で行う方法が検討されている。1 回目のイオン注入で基板表面を非晶質化する。この後 2 回目のイオン注入で所望の導電性を付与するイオンを注入する。非晶質層に注入されたイオンはチャネリングを起こさない。この為、2 回目のイオン注入時のチャネリングを抑制できる。

【0006】一方、浅い接合は、接合の浅さのみならず、低いコンタクト抵抗、低いリーク電流といった良好な電気特性をあわせ持つことが要求される。例えば、非晶質層と基板の結晶層との境界（以下、a/c 界面と呼ぶ。）は、アニール後も完全には再結晶化されず結晶欠陥が集積し易い。特に、空乏層内の結晶欠陥は、接合部の電氣的リークを引き起こす等、電気特性に影響を及ぼす。そこで、これらの結晶欠陥が接合近傍や低不純物濃度領域に形成されないよう欠陥が発生する位置を不純物拡散領域内に収める方法等が検討されている。

【0007】

【発明が解決しようとする課題】チャネリングは、予め基板表面層を非晶質化する方法を用いることで抑制することができる。しかし、非晶質層は再結晶化させる必要があり、再結晶化のアニール工程で別の問題が発生する場合がある。

【0008】従来の方法で作成した接合部の不純物分布を解析した結果、チャネリングとは異なる「増速拡散」という現象がアニール時に起こっていることが観察された。「増速拡散」とは、不純物がいわゆる拡散方程式に従った拡散速度より速く拡散してしまう現象である。非晶質層に存在する過剰空格子の結晶中への熱拡散が、不純物の拡散を増速させるためと考えられている。結果的に不純物分布の制御が難しくなる。また、深い不純物分布を形成してしまい易い。接合形状を正確に制御する為には、増速拡散の発生を抑制する必要がある。

【0009】また、良好な電気特性を得る為には、a/c 界面等に発生する積層欠陥や、再結晶層に発生するヘアピンディスロケーション等の欠陥を減らすことが望まれる。

【0010】本発明の目的は、良好な電気特性を備えた接合を制御性よく形成する半導体装置の製造方法を提供することである。本発明の他の目的は、電氣的特性に優

3

れた浅い接合を形成する半導体装置の製造方法を提供することである。

【0011】

【課題を解決するための手段】本発明の半導体装置の製造方法は、導電性に寄与しないイオン種を基板内の第1導電型の結晶領域に対しイオン注入し、該結晶領域の表面から深さD1までの非晶質層を形成する第1の工程と、前記第1導電型と逆の第2導電型の導電性を付与する原子量もしくは分子量が16以上の不純物を、D1より深い実効的不純物分布深さの不純物分布領域を形成するように前記非晶質層を通してイオン注入する第2の工程と、該基板を加熱して前記非晶質層を再結晶化し前記不純物を活性化して、第2導電型領域を形成する第3の工程と、を有する半導体装置の製造方法であって、前記深さD1が、前記導電性を付与する不純物を前記第2の工程と同一条件で前記結晶領域にイオン注入した場合に形成される非晶質層深さD2よりも深く、前記導電性を付与する不純物を前記第2の工程と同一条件で表面に非晶質層が形成された基板にイオン注入した場合に形成される実効的不純物分布深さD3よりも浅いことを特徴とする。

【0012】尚、本願明細書中でいう実効的不純物分布深さとは、イオン注入した導電性を付与する不純物濃度とイオン注入される領域（背景）の不純物（キャリア）濃度が等しくなっている深さを意味する。具体的には、nチャンネルMOSトランジスタの場合は、イオン注入するドナー不純物濃度と例えばp型ウェル中のアクセプタ不純物濃度とが等しくなっている深さである。また、pチャンネルMOSトランジスタの場合は、イオン注入するアクセプタ不純物濃度と例えばn型ウェル中のドナ

【0013】

【作用】非晶質層内に不純物をイオン注入すると、不純物のチャネリングを抑えることができる。

【0014】非晶質層を貫通して深く不純物をイオン注入すると活性化アニールの際、増速拡散が生じてしまう。a/c界面を越えて結晶層中へ拡散する空格子が、不純物の拡散速度を増速拡散させる為と考えられる。しかし、不純物イオン注入工程において、a/c界面を越え結晶層内に入る不純物量を低減すると、不純物の増速拡散を抑制できる。

【0015】また、不純物イオン注入直後に実効的不純物分布深さがa/c界面の深さよりも深くなるように調整することで、アニール条件に依存することなく確実にa/c界面をpn接合より内側の不純物分布領域に収めることができる。よって、a/c界面に発生する欠陥が電気的特性に与える影響を抑制できる。

【0016】

【実施例】

1)接合部のシャロー化

4

半導体装置の高集積化に伴い、横方向の微細化とともに浅い接合の形成（シャロー化）に対する要請が高まっている。例えば、0.5 μ mルール以下（ゲート長が0.5 μ m以下）のトランジスタを形成するには、0.1～0.2 μ mの接合深さを持つソース/ドレイン層が必要だといわれている。この為、高精度の不純物添加技術が望まれる。

【0017】CMOS (complementary metal-oxide-semiconductor) 半導体装置における接合の位置について図を用いて説明する。図2は、CMOS半導体装置のnチャンネルトランジスタ部分のみを取り出した構造の一例を示す断面図である。

【0018】図2に示すように、基板11の表面層には所定の深さのp型ウェル1が形成されp型ウェル1の両側の基板表面には、LOCOS (局部シリコン酸化: local oxidation of silicon) 工程により得られた厚いフィールド酸化膜12a、12bが形成されている。

【0019】さらに、厚い酸化膜12aと12bの間の活性領域表面上には、薄いゲート酸化膜13を挟みP (燐) を高濃度にドーブした多結晶Si膜14とその上のWSi膜15で形成されるポリサイド構造のゲート電極が形成されている。ゲート電極の両側面は、SiO₂のサイドスペーサ16により覆われている。

【0020】ゲート電極とフィールド酸化膜12a、12bの間の基板表面層の浅い部分には、n型不純物が高濃度にドーブされた不純物拡散層17a、17bが形成されている。不純物拡散層17a、17bは、それぞれnチャンネルトランジスタのソース/ドレイン領域として機能する。このn型不純物拡散領域17a、17bとp型ウェルの境界にpn接合が形成されている。「接合の深さ」は、一般に表面からの不純物分布幅によって決まる。

【0021】尚、n型不純物濃度がp型ウェル濃度と一致し、電気的に中性状態となる位置を接合部とする。勿論p型とn型を入れ換えてもよい。ゲート長の短いMOSトランジスタのソース/ドレイン領域が深いと、チャンネル領域の深い部分にもパンチスルーによってキャリアが注入され、ゲート電圧で制御することが難しくなる。

【0022】尚、図2に示すように、以上に説明したフィールド酸化膜12a、12bおよびゲート電極を覆うように層間絶縁膜18が形成され、層間絶縁膜18中の開口を介してソース/ドレイン領域17a、17bに配線層19が接続され、基板全面を覆ってパッシベーション膜20が形成されている。

【0023】2)従来の接合形成方法

イオン注入を用いて接合を形成するには、不純物イオンを注入する工程と、注入した不純物を活性化するためのアニール工程とが必要である。浅い接合を形成する為には、イオン注入の加速電圧の低減、イオン注入角度の傾

5

斜化等によりイオン注入の深さを浅くする方法や、アニール工程の熱処理温度の低温化によって熱拡散を抑制する方法がある。しかし、これらの方法には実用上限界があり、シャロー化の要請に十分答え得るものではなかった。

【0024】そこで現在、チャネリングの抑制によるシャロー化（接合深さを浅くすること）が試みられている。結晶基板にイオン注入を行うと、一部の注入イオンは基板原子と大きな衝突をすることなくチャネルとよばれる結晶格子の隙間を通して基板に深く進入してしまう。このような現象をチャネリングと呼ぶ。浅い接合を形成する為には、チャネリングの発生を抑制することが有効である。

【0025】チャネリングを抑制する方法としては、イオン半径の大きいイオンの選択や、表面を非晶質化するプリイオン注入等が試みられている。注入イオンの径が大きくなると結晶の隙間を通り抜けにくい為、イオン半径の大きい注入イオンの選択はチャネリングを抑制する。また、半径の大きい（質量の大きい）粒子は、半径の小さい粒子と比べ、同一加速電圧でイオン注入した場合、イオン注入深さを浅くする効果も有する。

【0026】また、プリイオン注入で、基板表面を予め非晶質化すると、非晶質化された領域には、そもそもチャネリングが発生する結晶格子の隙間が存在しなくなる。この為、非晶質層にイオン注入された不純物はチャネリングを起こしにくい。なお、プリイオン注入に用いられるイオン種としては、導電性を付与する不純物、導電性に寄与しない中性不純物のいずれも用いられている。

【0027】接合のシャロー化は、同時に良好な電気特性を兼ね添えるものでなければ実用に値しない。イオン注入で接合を形成する場合、イオン注入時に形成された非晶質層もとの結晶状態が残っている結晶層の界面（a/c界面）には、アニール時に結晶欠陥が発生してしまうことが多い。良好な電気特性を得る為には、この欠陥が電気特性に与える影響を取り除くことが好ましい。

【0028】従来は、例えば、不純物分布深さをa/c界面より深くすること等でその影響を抑制していた。このような従来技術による接合の形成方法の一例を図3を参照して説明する。なお、接合の形成工程を理解し易いように、図3には、図2の不純物拡散領域17a、17bに対応する部分のみを示した。

【0029】図3（A）で示すようにp型ウェルもしくはn型ウェルが形成されているSi基板の結晶領域1の表面層に導電型に寄与しないイオン種2、例えば基板構成元素と同じSi⁺イオンを注入する。このプリイオン注入工程により、基板表面より一定の深さD1までが非晶質層3となり、基板結晶との境界にa/c界面4が形成される。以下、プリイオン注入により形成されたa/c

6

c界面はa/c(1)界面と呼ぶ。なお、非晶質層が再結晶化された場合にもa/c(1)界面のあった位置はa/c(1)界面と呼ぶこととする。

【0030】図3（B）に示すように、所望の導電性を付与するイオン（不純物）種5をイオン注入し、イオン注入層6を形成する。非晶質層へのイオン注入は、チャネリングを生じない。基板表面より深さD_xまでの領域が非晶質化される。こうして新たにa/c(1)界面4より深い位置にa/c界面7が形成される。即ち、a/c界面7が、結晶領域であった深さD_xの位置に形成され、a/c(1)界面4は新たな非晶質層の中に含まれ判別できなくなる。また、この時の実効的不純物分布は、a/c界面より深く拡がり深さD_yに達する。ここで、実効的不純物分布深さとは、該結晶領域のウェル濃度とイオン注入された不純物濃度が等しく、電気的に中性となる位置を示す。

【0031】図3（C）に示すように加熱処理により、非晶質のイオン注入層6を再結晶化し、イオン注入された不純物を活性化させ、表面から深さD_zの不純物拡散層8を形成する。一般的には800℃から1000℃の温度範囲で基板加熱処理を行う。

【0032】a/c界面には、欠陥が発生し易いが、これらの欠陥は、実効的不純物分布中に存在している為、電気特性に与える影響は抑制される。

【0033】3)従来方法で形成された接合部の問題点
上述の従来の接合形成方法に従って、実際にnチャンネルトランジスタのソース/ドレイン領域を作成した。具体的に使用した条件は、以下の通りである。まず、Si⁺イオンを加速電圧30KeV、ドーズ量5.0×10¹⁴ions/cm²、注入角度7度の条件で、Si基板に注入し、a/c界面が深さ約0.058μmの位置にある非晶質層を形成した。次に、不純物イオンであるP⁺（燐）イオンを加速電圧20KeV、ドーズ量1.0×10¹⁵ions/cm²、注入角度7度の条件で先に非晶質化した基板表面に注入した。最後に、RTA（rapid thermal annealing）装置を用い、基板をN₂雰囲気中で10秒で850℃まで昇温し、850℃で10秒間保持する条件でアニールを行った。

【0034】作成した接合の深さを確認する為、SIMS（2次イオン質量分析法）を用いて深さ方向の不純物分布を測定した。結果を図4に示す。横軸に基板表面からの深さ、縦軸にP（燐）濃度を示した。

【0035】図4中αは、P⁺イオン注入直後のP分布、βは、アニール後のP分布をそれぞれ示す。P⁺イオン注入によりa/c界面が深さ約0.065μmの位置に形成される。P⁺イオン注入直後においては、チャネリングが抑制され、基板表面から0.1μm程度の深さまでしかPは分布していない。しかし、アニール後、不純物であるPはa/c界面を境に結晶質領域で大きく膨らむ濃度分布を示す。最終的な分布深さは、通常の熱

7

拡散から予想される深さを越え、基板表面から0.2 μ m近くまで達する。

【0036】アニール工程での不純物の深い拡散は、通常の熱拡散で説明されるものではなく、「増速拡散」が起こっている為と予想される。ここで用いたPのようにそれ自身のイオン注入で非晶質層を形成可能な、原子量もしくは分子量16以上の不純物を用いて接合を形成する場合、一般に「増速拡散」の発生が伴う。従来、チャネリングを抑制する為に、種々の検討が行われてきていたが、「増速拡散」を抑制する方法は知られていない。しかし、「増速拡散」を抑制できれば、原子量もしくは分子量16以上の不純物を用いた場合にも、不純物分布の制御がより容易となると共に、より浅い接合の形成が可能となる。

【0037】図5は、従来方法で非晶質層を再結晶化した基板の断面のTEM写真を示す。a/c界面より表面側の2か所にヘアピンディスロケーションと呼ばれるヘアピン状ないしは松葉状の欠陥の発生が観察された。また、a/c界面には、積層欠陥と思われる影が見られた。これらの欠陥は、いずれもpn接合内に存在する為、電気特性への影響はある程度抑制されるが、より良好な電気特性を得る為には欠陥数を減ずることが望ましい。

【0038】即ち、良好な電気特性の接合形成の為には、従来方法で再結晶層中ないしa/c界面に発生する各種欠陥の発生を防止し、さらに発生した欠陥は減少させることが望まれる。

【0039】4)実施例による増速拡散を抑制する接合形成方法

増速拡散を抑制する為の接合形成工程を以下に提案する。このプロセスは、図1で示す3工程を含む。なお、図1は図3と同様、不純物添加領域のみを取り出してその断面図を示したものである。

【0040】図1(A)に示すように、導電性に寄与しないイオン種2をp型ウェルもしくはn型ウェルが形成されている基板の結晶領域1に対しイオン注入する。このプリイオン注入工程により、非晶質層3が形成され、基板表面からD1の深さにa/c界面4ができる。

【0041】この深さD1は、後工程で導電性を付与するイオン種(不純物)を後工程のイオン注入条件と同一条件で基板の結晶領域1にイオン注入した場合に形成される非晶質層深さD2(この時に形成されるa/c界面をa/c(2)界面と呼ぶ)よりも深く、導電性を付与するイオン種を後工程と同一条件で前基板の結晶領域1にイオン注入した場合に形成される実効的不純物分布深さD3より浅くする。尚、プリイオン注入工程で形成されるa/c界面は、a/c(1)界面と呼ぶ。

【0042】図1(B)に示すように16以上の原子数を持ち、結晶領域の導電型とは反対の導電型の導電性を付与するイオン種5をイオン注入し、イオン注入層6を

8

形成する。プリイオン注入後に行う不純物イオンの注入によってa/c界面の位置はa/c(1)界面のまま変化せず、不純物の分布のみがa/c界面位置を越え、深さDyまで達する。この深さDyは、深さD3と等しくなる。

【0043】図1(C)に示すように、基板を加熱して熱処理により非晶質層を再結晶化するとともに、不純物を活性化する。さらに熱拡散により深さDzの不純物拡散層7を形成する。

【0044】以上の接合形成方法に沿った具体的なイオン注入条件の選択例を図6を用いて次に説明する。例えば、p型の不純物濃度 $6 \times 10^{16} / \text{cm}^3$ の結晶領域中に導電性付与イオンであるP⁺(磷)イオンを、イオン加速電圧20 KeV、ドーズ量 $1 \times 10^{15} \text{ ions} / \text{cm}^2$ 、イオン注入角7度の条件でSi基板の結晶領域に注入すると、深さ(D2)約0.065 μ mの非晶質層が形成される。又、同一条件で表面に非晶質層が形成された領域にイオン注入すると、深さ(D3)約0.12 μ mの実効的不純物分布深さを有する不純物分布領域が形成される。このP⁺イオン注入条件では、上述した第2の工程である不純物イオン注入を行うとすると、上述の接合形成方法におけるプリイオン注入の条件は、次のように、求められる。

【0045】導電性に寄与しないSi⁺イオンを各条件でSi基板にイオン注入した際形成されるa/c界面(a/c(1)界面)の深さを図6中に示した。図6の横軸はイオン加速電圧、縦軸は基板表面からの深さを示す。ドーズ量 $5 \times 10^{14} \text{ ions} / \text{cm}^2$ 、イオン注入角7度を固定条件とし、イオン加速電圧のみを変化させている。D1はバルク側に形成されたa/c界面深さ、D1Sは、基板表面側にできたa/c界面深さを示す。

【0046】プリイオン注入により形成するa/c(1)界面深さD1は、不純物イオン注入のみによって形成されるa/c(2)界面深さD2(0.065 μ m)より深く、実効的不純物分布深さD3(0.12 μ m)より浅くなる範囲、即ち図6中の斜線で示す領域a内にある条件を選択するとよい。例えば図6より、この条件を充たすSi⁺イオン注入のイオン加速電圧は、約40~73 KeVの範囲であることが分かる。尚、できるだけこの範囲で高いイオン加速電圧の設定がより効果的に増速拡散を抑制できるだろう。

【0047】上記の場合、不純物イオン注入条件を固定してこれに見合うプリイオン条件を選択した。同様な方法で、固定したプリイオン注入条件に対して不純物イオン注入条件を選択してもよい。

【0048】上述したイオン注入条件とは異なる条件を用いて接合を形成した例について述べる。具体的に用いた形成条件は次の通りである。まず、イオン加速電圧60 KeV、およびイオンドーズ量 $5 \times 10^{14} \text{ ions} / \text{cm}^2$ 、イオン注入角7度の条件でSi⁺イオンを基板

面にイオン注入し基板の結晶領域を非晶質化した。この条件では、 a/c (1) 界面深さは約 $0.095 \mu m$ となる。

【0049】続いて、イオン加速電圧が $20 KeV$ 、イオンドーズ量が $5 \times 10^{15} ions/cm^2$ 、イオン注入角 7 度の条件で、該非晶質領域に対し、導電性を付与する P^+ イオンをイオン注入した。尚、この P^+ イオン注入のみを行った場合に形成される a/c (2) 界面深さは $0.08 \mu m$ となる。その後、RTA装置を用いて、 N_2 雰囲気中で、 10 秒で 850 度まで昇温し、そのまま 10 秒保持する条件でアニールを行った。

【0050】図7は、形成した接合の不純物分布を示す。この不純物分布は、SIMS (2次イオン質量分析法) を用いて解析したものである。図7中 γ は、 P イオン注入直後の P (燐) の分布、 δ は、アニール後の P の分布をそれぞれ示す。図に示すように、アニールの前後で a/c (2) 界面深さに相当する位置と a/c (1) 界面との間にある不純物の分布はほとんど変わらなかった。即ち、この形成条件では a/c (2) 界面深さに相当する位置と a/c (1) 界面との間で増速拡散は生じていない。この結果から非晶質層内にイオン注入した不純物は増速拡散を生じないと考えることができよう。

【0051】図6に領域 α として示したように、 a/c (2) 界面深さよりも深い位置に a/c (1) 界面が位置するようにプリイオン注入することで、増速拡散の量を低減できる。

【0052】なお、導電性を付与する不純物のドーズ量の多少に関わらず、図6の領域 α に相当する領域 ($D2$ と $D3$ との間) に、 a/c (1) 界面が位置するようにプリイオン注入することで増速拡散の量を低減できる。

【0053】増速拡散は、イオン注入により形成した非晶質層に存在する過剰空格子が原因で起こると考えられる。過剰空格子の濃度勾配が存在する基板に熱処理を行うと、濃度の高い所から低い所に向かって過剰空格子の拡散が発生する。非晶質層内では、結晶格子自体が乱れており空格子は問題とならないが、 a/c 界面を経て過剰空格子が存在しない結晶層に入った過剰空格子は、結晶層の深さ方向すなわち濃度勾配方向に拡散するものと考えられる。

【0054】この時不純物原子が同じ領域に存在し、同方向へ拡散をしていると、不純物原子は過剰空格子の拡散の影響を受け、通常の拡散方程式から導かれる拡散速度より速い速度で「増速拡散」される。

【0055】図8は、上記実施例の各工程における不純物濃度の深さ方向分布を概略的に示したものである。横軸は基板表面からの深さ、縦軸は不純物濃度を示す。不純物分布は、深さ方向に山型の分布を示す。図8 (A) に示すように、不純物イオン注入直後においては、深さ $D1$ の位置にある実際の a/c 界面での不純物濃度はかなり低くなっている。プリイオン注入をしない場合、 a

$/c$ 界面は、深さ $D2$ に形成されるので、 $D2$ より深い位置の不純物が増速拡散の対象となるであろう。プリイオン注入で深さ $D1$ に a/c (1) 界面を形成しておくことにより深さ $D2$ と $D1$ の間の不純物は増速拡散されなくなる。

【0056】この結果、図8 (B) に示すように、アニールによって増速拡散される不純物は、 a/c 界面より深い部分に存在したわずかな量の不純物に限定され、従来の作成方法で形成した接合の不純物分布より浅い実効的不純物分布深さ $D4$ を得る。

【0057】このように、プリイオン注入により形成する a/c (1) 界面を不純物イオン注入のみで形成される a/c (2) 界面より深く形成すれば増速拡散の量を抑制することができる。

【0058】上記実施例においては、イオン注入直後に a/c 界面を実効的不純物分布領域内に収めている。このことにより、 a/c 界面に発生する欠陥が電気的特性に与える影響を抑制することができる。勿論アニール時の熱拡散条件を選択することで不純物層の深さを a/c 界面より深く調整することも可能であるが、上記実施例のように、不純物イオン注入工程で、 a/c 界面を不純物分布層内に含める方法は、アニール条件に依存せずより確実に a/c 界面を $p-n$ 接合内に含めることができる。

【0059】5) 接合部の欠陥発生を抑制するアニール条件

上述の実施例に近似する接合形成方法に従い、プリイオン注入と不純物イオン注入を行った後、種々のアニール条件で接合を形成した。形成した接合の電気特性、欠陥の発生と残留状態を参考にして、より最適なアニール条件を求めた。

【0060】使用したイオン注入工程の条件は、次の通りである。イオン加速電圧 $60 KeV$ 、ドーズ量 $1 \times 10^{15} ions/cm^2$ 、イオン注入角度 7 度の条件で Si^+ イオンを用いてプリイオン注入を行った。次にイオン加速電圧 $10 KeV$ 、ドーズ量 $1 \times 10^{15} ions/cm^2$ 、イオン注入角度 7 度の条件で P^+ イオンのイオン注入を行った。2回目のイオン注入後、基板をアニールした。いずれのアニールも、RTA装置を使用し、 N_2 雰囲気中、所定温度に 10 秒で昇温し、所定温度を 10 秒保持した。

【0061】まず、アニール温度と接合部の抵抗の関係を図9に示す。横軸はアニール温度、縦軸は接合部のシート抵抗を示す。約 $600^\circ C$ のアニール温度を境として高温側で接合部のシート抵抗は、大きく低下した後、 $900^\circ C$ 付近までは余り変化しなかった。アニール温度約 $600^\circ C$ の条件は、イオン注入層を再結晶化し、イオン注入された不純物を活性化するのに必要な温度に対応しているものと思われる。

【0062】次に、結晶欠陥のひとつであるヘアピンデ

イスロケーションとアニール温度の関係について調べた。その結果を図10に示す。横軸はアニール温度、縦軸は $1\phi\mu\text{m}$ (直径 $1\mu\text{m}$ の円形領域) 当たりが発生したヘアピンディスロケーションの数を示す。アニール温度が 850°C を越えるあたりからヘアピンディスロケーションは発生し、 900°C 以上の温度で、急激にその数が増大した。アニール温度が高くなると、非晶質体が再結晶化する再結晶化速度にばらつきが生じやすく、これがヘアピンディスロケーションを発生させていると思われる。ヘアピンディスロケーションの発生を抑制する為には、 850°C 以下の温度でアニールすることが望ましい。

【0063】上記2つの結果から、非晶質層を再結晶化し、かつ不純物を活性化し、さらにヘアピンディスロケーションの発生を抑える為には、 $600\sim 850^\circ\text{C}$ の範囲でアニールを行うことが好ましいと言える。

【0064】図11は、アニールによる再結晶化の様子を示すTEM写真である。図11(A)は、上述する2回のイオン注入を行った直後、即ちアニール前の接合の断面TEM写真である。イオン注入により形成された非晶質層とともとの基板の結晶部分とを分けるa/c界面がはっきりと観察される。

【0065】図11(B)は、上述の条件に従い 850°C でアニールした接合の断面TEM写真を示す。非晶質層は再結晶化されており、ヘアピンディスロケーションは発生していない。しかし、もともとのa/c界面付近には、積層欠陥が発生し、写真中に細い帯状の線として観察される。より良好な電気特性を得る為には、これらの積層欠陥も消滅させることが望まれる。

【0066】 850°C でアニールを行った接合にさらに2回目のアニールを試みた。 1050°C で2回目のアニールを行った接合、および 1100°C で2回目のアニールを行った接合の断面TEM写真を図11(C)、図11(D)にそれぞれ示した。いずれもヘアピンディスロケーションは、発生していない。また、図11(B)に示す 850°C の1回のアニールを行った直後の接合と比較し、積層欠陥がかなり消滅している。 1100°C の2回目のアニールを行った接合では、欠陥数がかなり消滅し、ほぼ均一な断面が得られた。

【0067】一方、 1000°C で1回のアニールを行った場合の接合の断面TEM写真を図11(E)に示した。ヘアピンディスロケーションが発生しているとともに、積層欠陥は、 850°C でアニールした接合に較べて、むしろ多く残留しているようであった。

【0068】このように、まずヘアピンディスロケーションが発生しない温度でイオン注入層を再結晶化し、かつ不純物を活性化し、次に再結晶化アニール温度より高い温度でアニールを行い結晶欠陥を減少させる2段階アニールを行うと、結晶層中の各種欠陥の発生を効果的に抑制することができるとともに、一回発生した欠陥もか

なり消滅させることができる。

【0069】なお、以上の各アニール条件による接合部の特性と結晶状態の様子は、基板種やイオン種が共通であれば、イオン注入条件が多少異なっても同様な傾向が得られるだろう。

【0070】6)トランジスタ素子作成工程

上述の検討結果を参考にした、CMOS半導体装置の作成工程を以下に説明する。

【0071】Bが $3\times 10^{15}\text{atoms}/\text{cm}^3$ ドープされたp型の面方位(100)のSi基板を準備する。図12(A)に示すように、熱酸化により基板101の表面に約 30nm の厚みの SiO_2 膜102を形成し、その上に、減圧CVD(化学気相堆積法)を用いて厚さ約 140nm の SiN_x 膜103を形成する。

【0072】図12(B)に示すように、 SiN_x 膜103上にレジストを塗布し、露光現像することによりレジストマスク104を形成する。このレジストマスク104をエッチングマスクとし、 SF_6 とHeの混合ガスをエッチングガスとしたドライエッチングを行い、 SiN_x 膜を選択的にエッチングする。

【0073】レジストマスク104とその下の SiN_x 膜103をマスクとして、イオン加速電圧 100KeV 、ドーズ量 $1.5\times 10^{13}\text{ions}/\text{cm}^2$ の条件でP⁺イオン105のイオン注入を行う。 SiO_2 膜102の下にPのイオン注入層106を形成する。その後レジストマスク104は除去する。

【0074】次に、図12(C)に示すように、酸化性雰囲気中で 1100°C で200分の熱処理を行い、イオン注入層106を活性化させ、さらに不純物をドライブインさせ、n型ウェル107を形成する。また、この熱処理により SiN_x 膜103が被覆されていない基板表面は、熱酸化され、厚いLOCOS酸化膜102aが形成される。この後、 SiN_x 膜103膜をエッチング除去する。

【0075】イオン加速電圧 30KeV 、ドーズ量 $1.5\times 10^{13}\text{ions}/\text{cm}^2$ の条件で、B⁺イオン108のイオン注入を行う。このイオン注入条件は、P拡散層上の厚いLOCOS酸化膜102aをB⁺イオンが貫通しないように選択されている。薄い酸化膜102の下にのみBのイオン注入層109が形成される。

【0076】図12(D)に示すように、 1150°C 、240分の熱処理を行い、イオン注入層109を活性化し、さらに不純物をドライブインし、p型ウェル110を得る。この時n型ウェル107中のPもさらに熱拡散し、n型ウェル111を形成する。この後、基板表面の SiO_2 膜102、102aをエッチング除去する。

【0077】図13(E)に示すように、あらためて熱酸化により基板表面に厚み 15nm 程度の SiO_2 膜201を形成し、その上に減圧CVD法で、 140nm 程度の厚みの SiN_x 膜202を形成する。尚、図示しな

13

いが、p型ウェル110とn型ウェル111との境界上には、p型ウェル110形成時のイオン注入マスクに用いたLOCOS酸化膜102の痕跡である段差が存在する。

【0078】図13(F)に示すように、SiN_x膜202の表面にレジストを塗布し、露光、現像により、活性領域を覆うレジストマスク203を形成する。レジストマスク203をマスクにし、SiN_x膜202を選択エッチングする。

【0079】図13(G)に示すように、レジストマスク203とその下のSiN_x膜202をイオン注入マスクにして、イオン加速電圧30KeV、ドーズ量 $4.5 \times 10^{12} \text{ ions/cm}^2$ の条件でB⁺イオン204のイオン注入を行う。注入されたBは、露出している酸化膜を貫通し、各ウェル層内の浅い表面領域に注入される。p型ウェル110に注入されたBは、イオン注入層205を形成する。この後、イオン注入用マスクに用いたレジストマスク203を除去する。

【0080】図13(H)に示すように、SiN_x膜202をマスクとして熱酸化を行い、厚さ約400nmのフィールド酸化膜206を形成する。また、この熱酸化工程において、イオン注入層205中のBが拡散、活性化し、p型ウェル110より高濃度のチャンネルストップ層207を形成する。この後、熱酸化工程でマスクとして使用したSiN_x膜202および、その下のSiO₂膜201をウェットエッチングで除去する。その後、基板全面を再び熱酸化することにより、厚さ9.5nmのゲート酸化膜208を形成する。

【0081】次に、図14(I)に示すように、イオン加速電圧15KeV、ドーズ量 $1.5 \times 10^{12} \text{ ions/cm}^2$ の条件でBイオン301のイオン注入を行う。このイオン注入層302は、デバイス上でMOSトランジスタの閾値電圧制御として機能することとなる。

【0082】図14(J)に示すように、基板表面全域に多結晶Si膜303を減圧CVD法で厚さ約150nm形成し、この多結晶Si膜303中にP(リン)を高濃度でドーピングする。さらに、図14(K)に示すように、多結晶Si膜303上に厚み約150nmのWSi膜304をスパッタリングで形成する。このような、多結晶Si膜上に金属シリサイド膜を連続的に重ねた構造は、一般にポリサイド構造と呼ばれる。

【0083】WSi膜304上にレジストを塗布し、露光、現像によりゲート電極パターンのレジストマスクを得る。このレジストマスクをエッチングマスクとして、ポリサイド層303、304を選択的にエッチングする。エッチング後レジスト膜は除去する。残ったポリサイド層は、図14(L)に示すように、フィールド酸化膜で画定された活性領域上でゲート電極305となる。

【0084】ゲート電極305、フィールド酸化膜206をイオン注入マスクとして、基板全面に加速電圧80

14

KeV、ドーズ量 $4.0 \times 10^{13} \text{ ions/cm}^2$ 、注入角度45度の条件でP⁺イオン401のイオン注入を行う。図15(M)に示すように、p型ウェル110、n型ウェル111のそれぞれの極浅い領域にイオン注入層402、および403が形成される。

【0085】図15(N)に示すように、基板全面にレジスト膜を形成し、露光、現像によりp型ウェル110を覆うイオン注入マスク404を形成する。このレジストマスク404をマスクとして、加速電圧65KeV、ドーズ量 $2.5 \times 10^{14} \text{ ions/cm}^2$ の条件でBF₂⁺405のイオン注入を行う。n型ウェルの極浅い領域にBF₂⁺イオンの注入領域406が形成される。BF₂⁺の注入領域406では、B濃度の方がP濃度より高くなり、補償の結果p型となる。次にBF₂⁺を活性化するためにRTA装置を用いて、1100℃まで10秒で昇温し、10秒間この温度に保持する。尚、各p型ウェル、n型ウェルに形成したイオン注入層402、406は、LDD(Lightly doped drain)領域を形成する。レジストマスク404を除去する。

【0086】図15(O)に示すように、TEOS(テトラエトキシシラン)を用いた減圧CVD法にて、厚み約200nmのSiO₂膜407を基板全面に形成する。その後、RIE(reactive ion etching)を用いて、SiO₂膜407をエッチングし、図15(P)に示すように、ゲート電極305の側壁のみにSiO₂領域408を残す。このSiO₂領域408は、一般にサイドスペースもしくはサイドウォールオキサイドと呼ばれる。

【0087】次に説明するpチャンネルトランジスタ、nチャンネルトランジスタのソース/ドレイン領域を形成する工程が、本実施例の最大の特徴である浅い接合を形成する工程である。

【0088】まず、図16(Q)に示すように、フィールド酸化膜206とゲート電極305およびそのサイドスペース411をイオン注入マスクとして、導電性に寄与しないSi⁺イオン501のイオン注入を行い、非晶質イオン注入層502、503を得る。この工程は、不純物イオン注入領域を非晶質化する為に行われる。例えば、加速電圧60KeV、ドーズ量 $5.0 \times 10^{14} \text{ ions/cm}^2$ 、注入角度7度のイオン注入条件を用いると、表面から約0.10μmの深さにa/c界面が形成される。

【0089】次に、図16(R)に示すように、基板全面にレジストを塗布した後、露光、現像により、p型ウェル110を覆うレジストマスク504を形成する。このレジストマスク504をイオン注入マスクとし、導電性を付与するイオンであるBF₂⁺イオン505のイオン注入を行い、イオン注入層506を形成する。例えばイオン加速電圧45KeV、ドーズ量 $2.0 \times 10^{15} \text{ ions/cm}^2$ 、注入角度7度のイオン注入条件を用い、

15

表面から約 $0.12\mu\text{m}$ の深さの実効的不純物分布深さの不純物領域を得る。尚、この時 a/c 界面深さは Si^+ イオン注入で形成された深さ $0.10\mu\text{m}$ のままである。レジストマスク 504 は除去する。

【0090】ここでは、注入角度 7 度でイオン注入したが、基板表面を非晶質化してチャネリングの発生を抑制しているので、注入角度 0 度としても良い。尚、ゲート電極下の不純物の横方向拡がりを抑制するためには注入角度 0 度でイオン注入することが好ましい。

【0091】なお、図面中、重複するイオン注入領域については、図示を省略している。その後レジストマスク 504 を除去する。続いて、図 16 (S) に示すように、基板全面にレジストを塗布し、露光、現像により n 型ウェル 111 を覆うレジストマスク 507 を形成する。このレジストマスク 507 をイオン注入マスクとして、導電性を付与するイオンである P^+ イオン 508 のイオン注入を行い、イオン注入層 509 を形成する。イオン加速電圧 20KeV 、ドーズ量 $1.0 \times 10^{15}\text{ions/cm}^2$ のイオン注入条件を用いると、 a/c 界面深さは、 Si^+ イオン注入で形成した深さのまま不純物分布深さ約 $0.12\mu\text{m}$ が得られる。その後レジストマスク 507 を除去する。

【0092】次に、図 17 (T) に示すように、基板全面に層間絶縁膜 601 を形成する。常圧 CVD を用い、膜厚約 100nm の PSG 膜（フォスフォシリケートガラス）と膜厚約 600nm の BPSG 膜（ボロンフォスフォシリケートガラス）の二層膜からなる層間絶縁膜 601 を形成する。

【0093】この後、RTA 装置を用いて、基板を 850°C まで 10 秒で昇温し、 850°C で 10 秒保持する。このアニール処理により、イオン注入層 506、509 は、再結晶化され、かつ不純物は活性化され、それぞれ p チャンネル、 n チャンネルのソース/ドレイン領域となる。このアニール工程は、層間絶縁膜形成前におこなってもよいが、本実施例では、層間絶縁膜を形成後におこなうこととする。

【0094】尚、このアニール工程の後、 1050°C まで 10 秒で昇温し、 1050°C で 10 秒保持する条件で、接合部の 2 回目のアニールを行ってもよい。この 2 回目のアニールは、ソース/ドレイン層をさらに拡散させるとともに、 a/c 界面に発生した積層欠陥を消滅させる。さらに、層間絶縁膜の膜質改善を行う効果も持つ。

【0095】具体的には、層間絶縁膜を軟化流動させることで層間絶縁膜表面の平坦性を改善できる。又、層間絶縁膜中の水分を蒸発させることで、水分によるトランジスタの特性劣化（しきい値電圧の変動など）を抑制できる。

【0096】さらに、 P^+ イオン注入後に、層間絶縁膜を形成し、この後に接合部の再結晶化アニールと 2 回目の

16

アニールを行うことも可能である。この場合、層間絶縁膜は、例えば 600°C 以下の温度で堆積する。

【0097】この後、レジストを全面に塗布し、露光、現像によりコンタクトホールに対応する開口を有するレジストマスクを形成する。このレジストマスクをエッチングマスクとして、層間絶縁膜を選択的にエッチングし、配線形成のためのコンタクトホールを形成する。レジスト膜は除去する。

【0098】次に基板全面にスパッタリング法にて、 WSi 等のバリアメタルを膜厚約 50nm 形成する。続いてこの WSi 膜上に Al-Si-Cu の 3 組成よりなる Al 合金膜をスパッタリング法で約 800nm 程度形成する。

【0099】基板全面にレジストを塗布し、露光、現像により電極/配線パターンを有するレジストマスクを形成する。このレジストマスクをエッチングマスクとし、 WSi 膜と Al 合金膜をエッチングし、図 17 (U) に示すような所望の配線 602 を形成する。

【0100】さらに、図 17 (V) に示すように、基板全面にパッシベーション膜 603 を形成する。パッシベーション膜は、プラズマ CVD 法により各 500nm の厚さの PSG 膜と SiN_x 膜とを連続的に堆積して形成する。

【0101】基板全面にレジストを塗布し、露光、現像によりボンディングパッド、スクライプライン等に対応する開口を有するレジストマスクを形成する。このレジストマスクをエッチングマスクとして、パッシベーション膜をエッチングし、配線引出しのためのボンディングパッド用窓開け等を行う。

【0102】最後に、水素雰囲気中で 400°C 30 分程基板をアニールし、各種工程でのダメージによりゲート酸化膜中に発生した電荷を中和する。上記製造方法を用いることにより、最終的に接合の深さ $0.15\mu\text{m}$ の p チャンネルトランジスタ、 n チャンネルトランジスタの浅いソース/ドレイン接合を得ることができる。

【0103】以上、一連の CMOS 半導体装置の作成工程について説明したが、上記した以外の材料や、装置の選択も可能である。例えば、非晶質層形成のためのイオン注入に用いるイオン種は、上記した Si 以外にも電気伝導に寄与しない Ge 、 C 、 N 、 F 、 Cl 、 Ne 、 Ar 等の非晶質層を形成可能な原子量 16 以上のイオンを選択することもできる。

【0104】導電性付与のイオン注入に用いるイオン種は、上記した BF_2^+ 、 P^+ 以外にもそれ自身のイオン注入で非晶質層が形成可能な原子量もしくは、分子量が 16 以上の不純物イオンを選択することができる。例えば As^+ や Sb^+ 等、および、 B 、 P 、 As 、 Sb 等の化合物イオン等を用いることもできるであろう。

【0105】さらに、実施例では不純物活性化および非晶質層の再結晶化のためのアニールは、短時間処理が可能

50

な R T A 装置を用いているが、加熱の手段は、レーザ加熱装置や抵抗加熱炉を用いても同じ効果を得ることができであろう。

【0106】ここでは、nチャネルMOSトランジスタとpチャネルMOSトランジスタを含むCMOS ICへの応用について記載したが、nチャネルMOSトランジスタのみを含むNMOS IC、pチャネルMOSトランジスタのみを含むPMOS ICへの応用は自明であろう。

【0107】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0108】

【発明の効果】以上説明したように、本発明によれば、不純物イオン注入時のチャネリングを防ぐとともに、アニール時の不純物の増速拡散を抑制する、より制御性のよい接合形成方法を提供することができる。この方法により、浅い接合形成が可能となる。

【0109】また、接合部の結晶層やa/c界面に発生する欠陥を確実にpn接合内に取り込むことができる。さらに、不純物の注入後のアニール温度を最適化することで、接合部の結晶層における欠陥の発生と残留を抑制することができ、良好な電気特性を持つ接合を形成することができる。

【図面の簡単な説明】

【図1】本発明の実施例による接合部の形成工程を示す断面図である。

【図2】nチャネルトランジスタ素子の構造を示す断面図である。

【図3】従来の接合部の形成工程を示す断面図である。

【図4】従来の形成工程で作成した接合部における不純物分布を示す図である。

【図5】従来の形成方法で作成した接合部の断面の結晶構造を示す写真である。

【図6】実施例におけるブライオン注入条件を示す図である。

【図7】作成した接合部における不純物分布を示す図である。

【図8】本発明の各形成工程における接合部の不純物分布を示す図である。

【図9】アニール温度と接合部のシート抵抗の関係を示

すグラフである。

【図10】アニール温度とヘアピンディスロケーションの発生数との関係を示すグラフである。

【図11】種々のアニール条件で形成した接合部の断面の結晶構造を示す写真である。

【図12】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

【図13】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

【図14】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

【図15】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

【図16】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

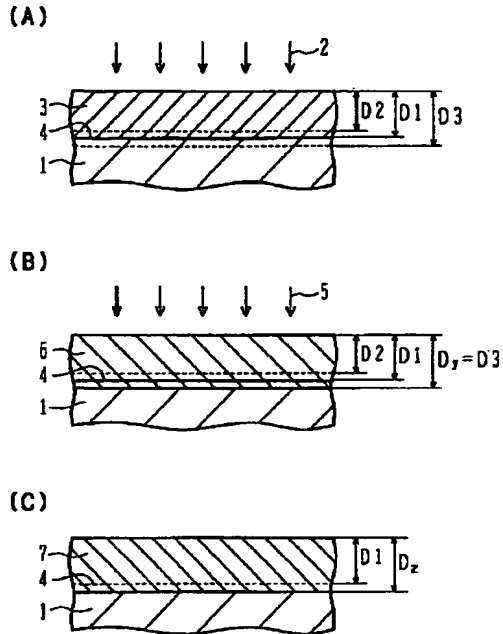
【図17】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

【符号の説明】

1・・・結晶領域、2・・・導電性に寄与しないイオン、3・・・非晶質層、4・・・a/c(1)界面、5・・・導電性を付与するイオン、6・・・イオン注入層、7・・・不純物拡散層、11・・・Si基板、12a、12b・・・フィールド酸化膜、13・・・ゲート酸化膜、14・・・多結晶Si膜、15・・・WSi膜、16・・・サイドスペーサ、17a、17b・・・不純物拡散層、18・・・層間絶縁膜、19・・・配線、20・・・パッシベーション膜、101・・・基板、102・・・SiO₂膜、103・・・SiN_x膜、110・・・p型ウェル、107、111・・・n型ウェル、201・・・SiO₂膜、202・・・SiN_x膜、206・・・フィールド酸化膜、208・・・SiO₂膜、303・・・多結晶Si膜、304・・・WSi膜、305・・・ゲート電極、407・・・SiO₂膜、408・・・サイドスペーサ、601・・・層間絶縁膜、602・・・配線、603・・・パッシベーション膜、105、108、204、301、401、405、501、505、508・・・イオン、104、203、404、504、507・・・レジストマスク、106、109、205、302、402、403、406、502、503、506、509・・・イオン注入層、207・・・チャンネルストップ層。

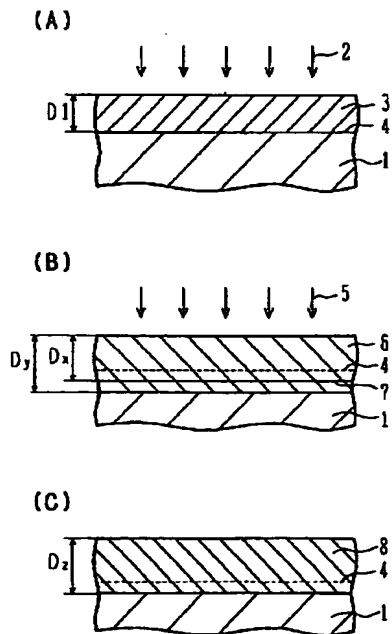
【図 1】

本発明の接合部形成プロセス



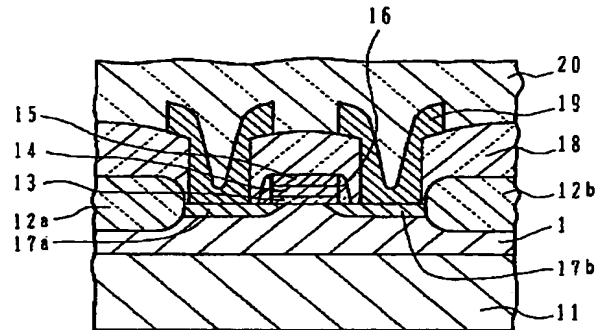
【図 3】

従来の接合形成工程例

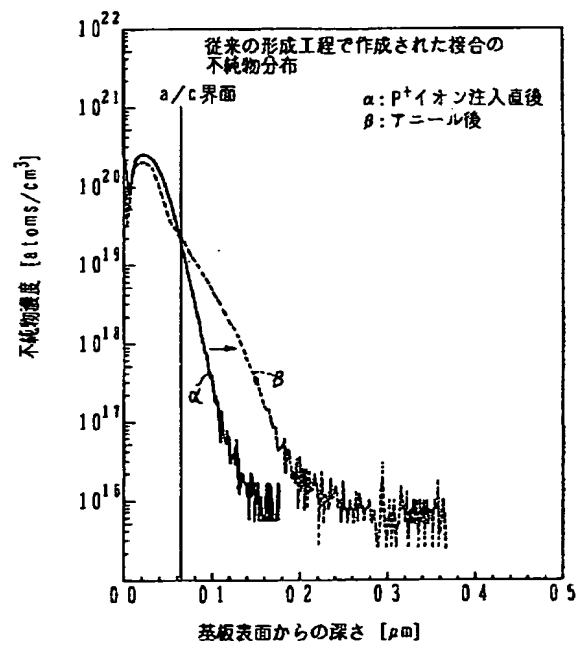


【図 2】

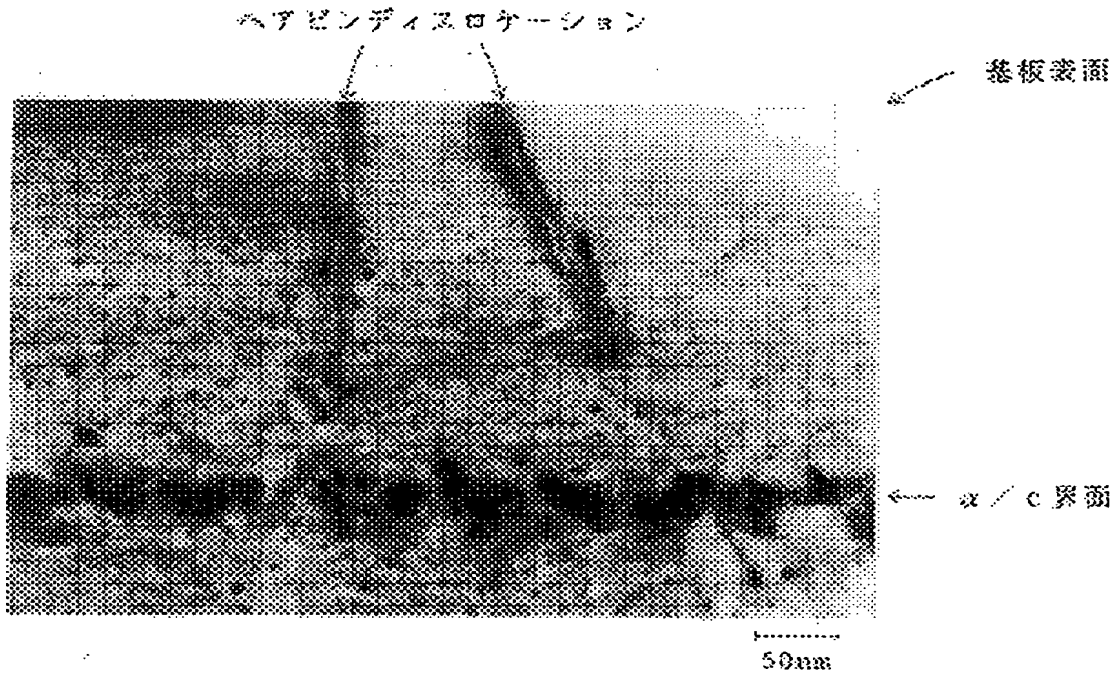
nチャンネルトランジスタ素子



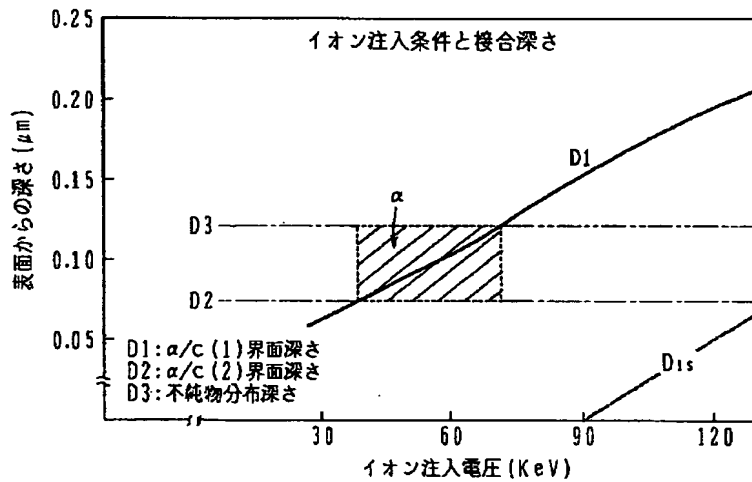
【図 4】



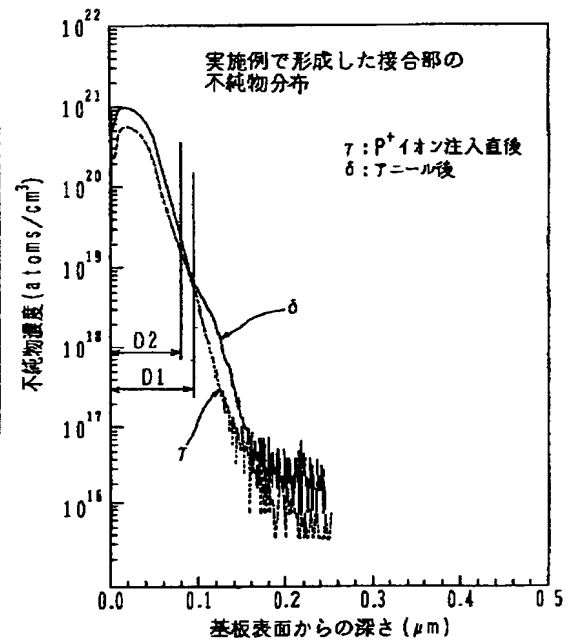
【図5】



【図6】



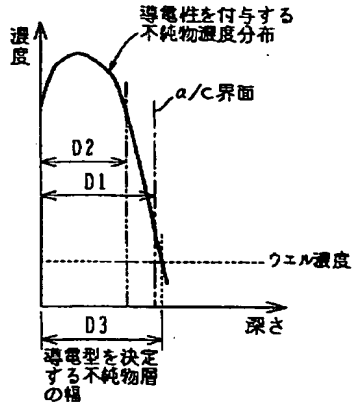
【図7】



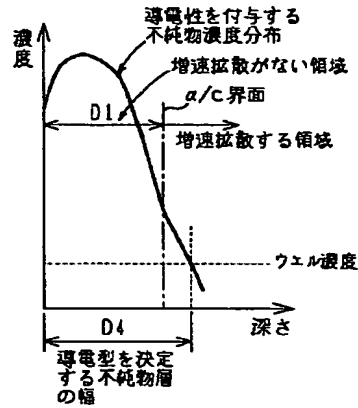
BEST AVAILABLE COPY

【図8】

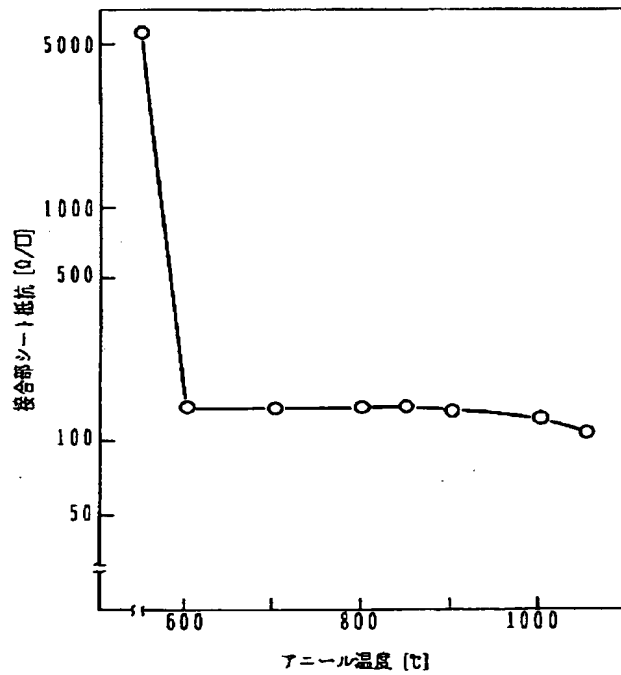
(A) アニール前



(B) アニール後



【図9】



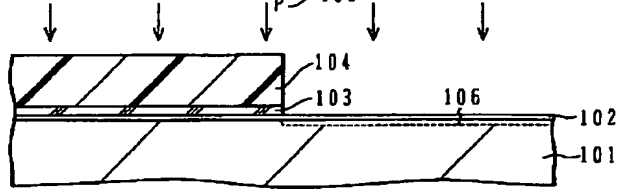
【図12】

CMOS半導体装置作成工程

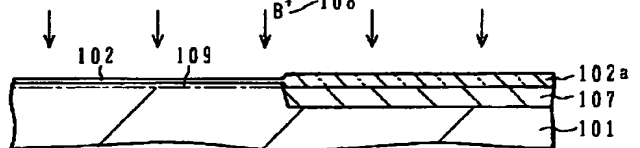
(A)



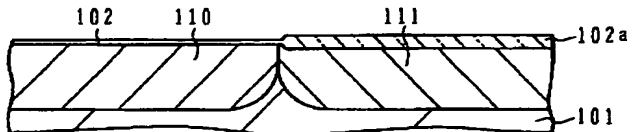
(B)



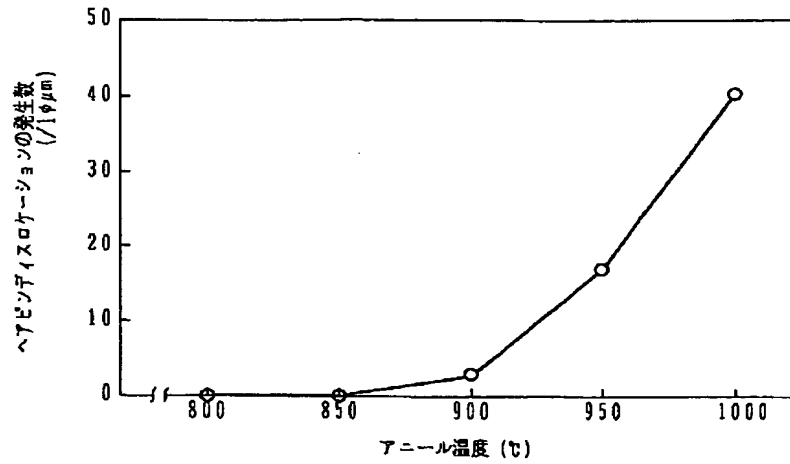
(C)



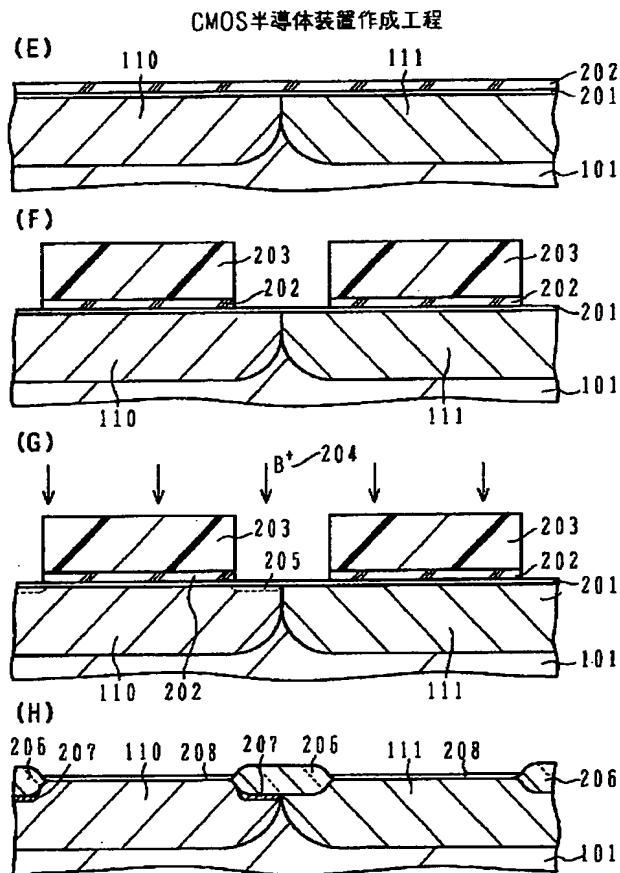
(D)



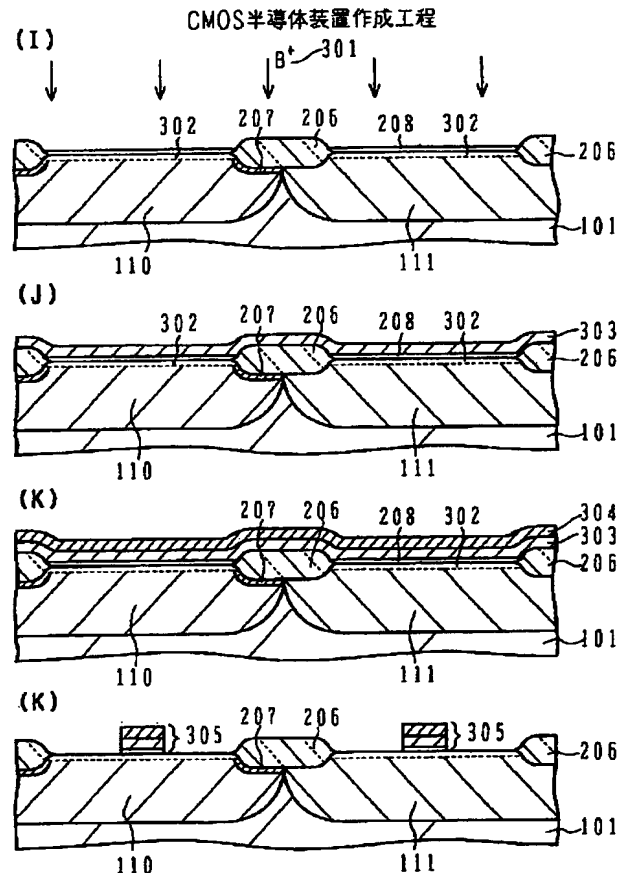
【図10】



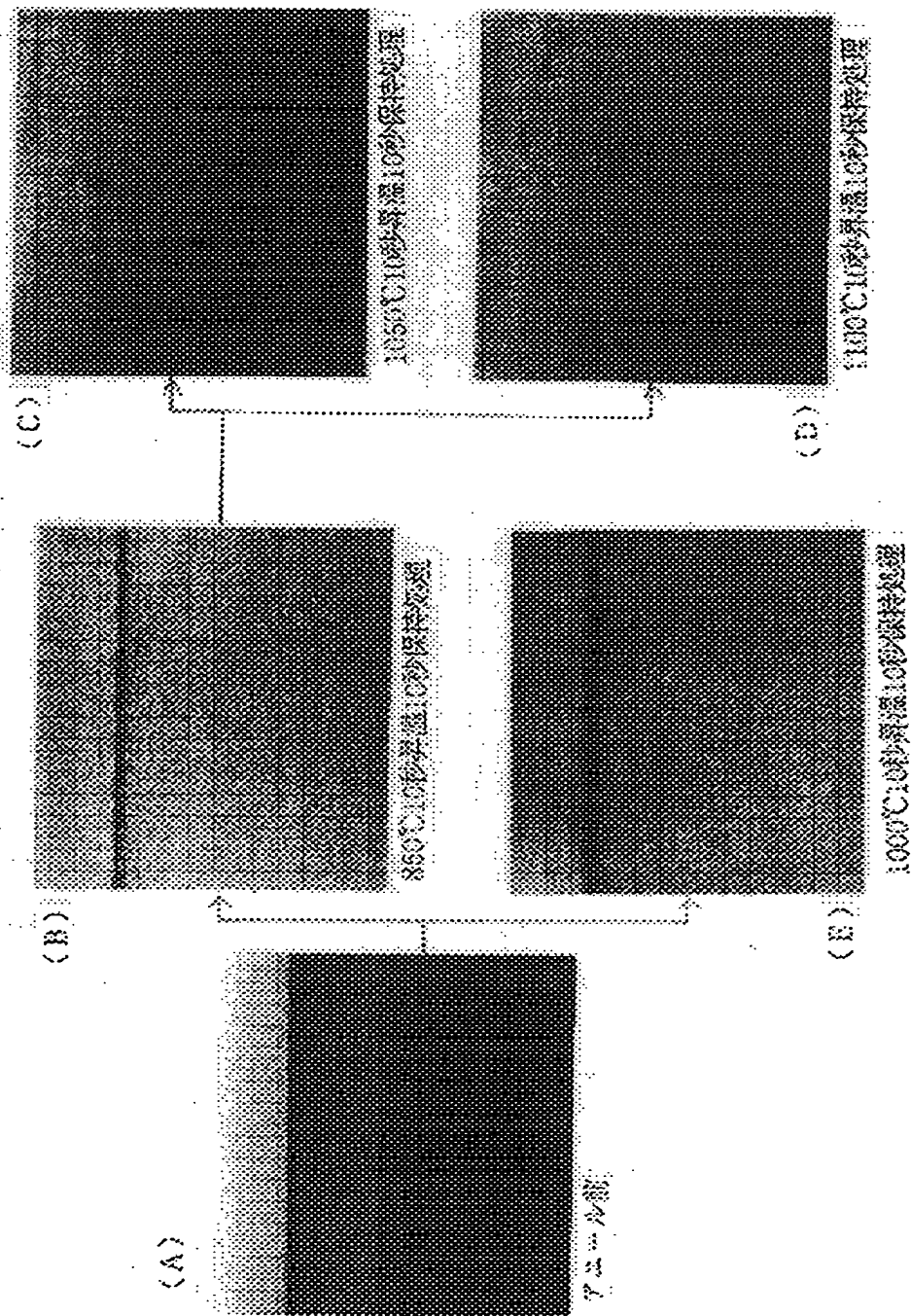
【図13】



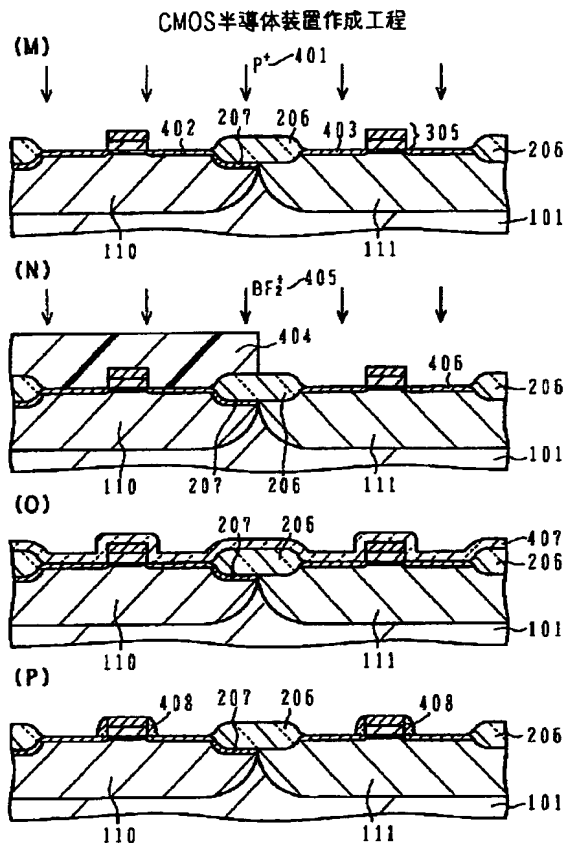
【図14】



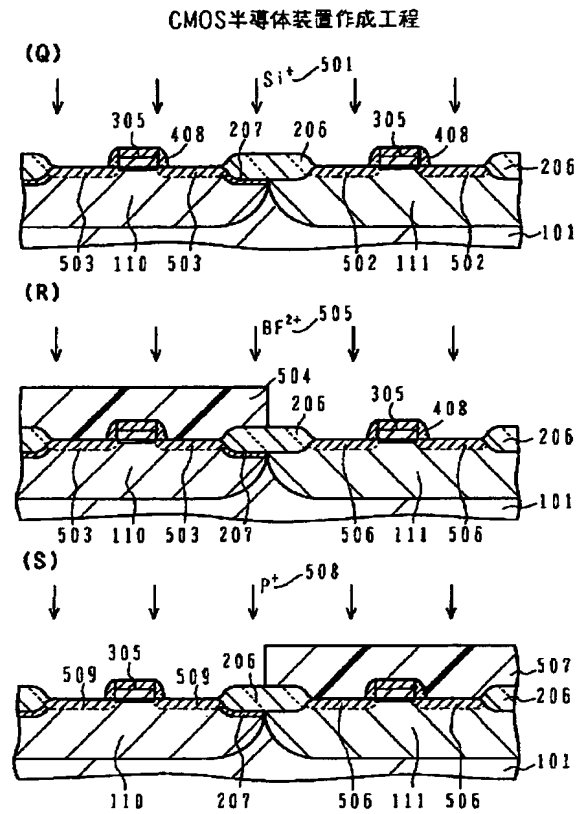
【図 11】



【図 15】

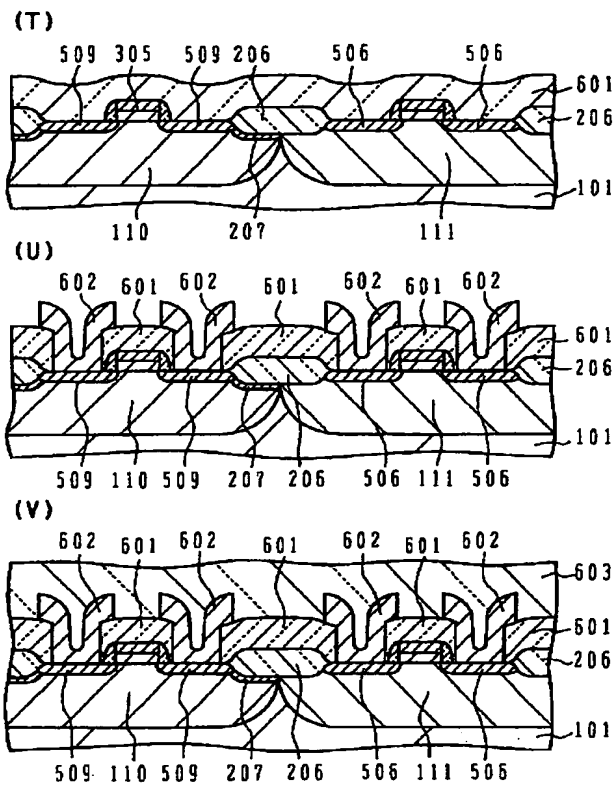


【図 16】



【図 17】

CMOS半導体装置作成工程



フロントページの続き

(51)Int.Cl. 6

識別記号

庁内整理番号

F I

H 0 1 L 21/265
21/76

技術表示箇所

F
R

THIS PAGE BLANK (USPTC)